

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074172

(43)Date of publication of application : 18.03.1997

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/82
H01L 21/768
H01L 27/10
H01L 27/10

(21)Application number : 07-230355

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.09.1995

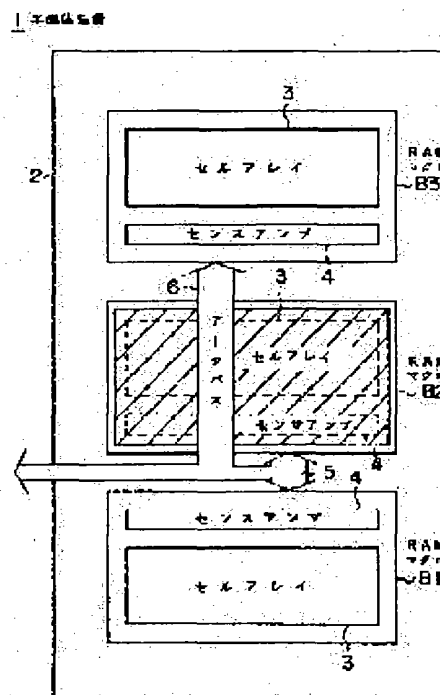
(72)Inventor : SHIMIZU HIROSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein wiring can be performed on a function block without exerting influence on inner signals of the function block, regarding a semiconductor device having a structure wherein a passing wiring is formed over the function block including a very small signal wiring and a signal is transmitted.

SOLUTION: When an RAM macro B2 is arranged between an RAM macro B1 and an RAM macro B3, and a data bus 6 is wired between the RAM macro B1 and the RAM macro B3, the data bus 6 is wired above the RAM macro B2, and a shield layer maintained at a ground potential is formed between the RAM macro B3 and the data bus 6.



LEGAL STATUS

[Date of request for examination]

05.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3154650

[Date of registration] 02.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-74172

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/108			H01L 27/10	681E
21/8242				471
21/82				491
21/768			21/82	B
27/10	471		21/90	W

審査請求 未請求 請求項の数6 OL (全10頁) 最終頁に続く

(21)出願番号 特願平7-230355

(22)出願日 平成7年(1995)9月7日

(71)出願人 00005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 清水 宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

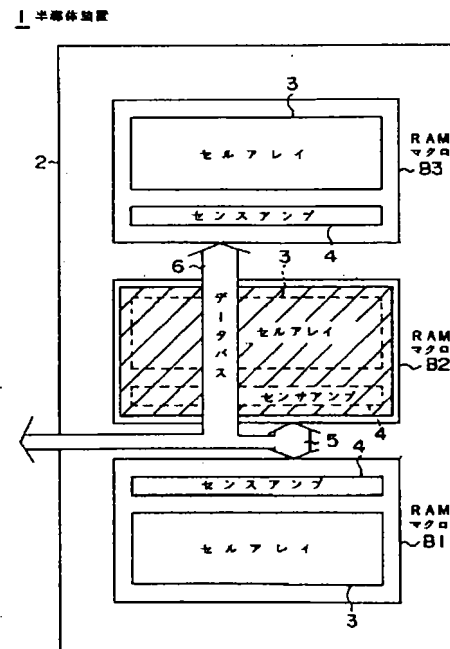
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 微小信号配線を含む機能ブロック越しに通過配線を形成し、信号を伝送する構成の半導体装置に関し、機能ブロックの内部信号に影響を与えることなく機能ブロック上に配線を行える半導体装置を提供することを目的とする。

【解決手段】 RAMマクロB1とRAMマクロB2との間にRAMマクロB3が配置され、RAMマクロB1とRAMマクロB2との間にデータバス6を配線する時、データバス6をRAMマクロB3の上部に配線し、RAMマクロB3とデータバス6との間に接地電位に保持されたシールド層7を形成する。

本発明の第1実施例の概略構成図



【特許請求の範囲】

【請求項1】 半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を送送する通過配線を有する半導体装置において、前記微小信号配線と前記通過配線との間に所定の電位に保持されたシールド層を有することを特徴とする半導体装置。

【請求項2】 前記シールド層は、前記微小信号配線及び前記通過配線とは異なる層として形成したことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板上に微小信号配線を含む機能ブロックと、該論理ブロック越しに信号を送送する通過配線を有する半導体装置において、前記通過配線は、前記機能ブロック上を通過するように配線し、前記微小信号配線は、前記通過配線の直下をさせて配線したことを特徴とする半導体装置。

【請求項4】 半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を送送する通過配線を有する半導体装置において、前記微小信号配線は、微小信号を送送する第1の微小信号配線と、前記第1の微小信号配線と近接して配線された第2の微小信号配線とを有し、該第1の微小信号配線と該第2の微小信号配線とに互いに相補的な信号を供給する構成とし、前記通過配線を送送される信号が前記第1の微小信号配線及び前記第2の微小信号配線に対して同じ影響を与える経路に前記通過配線を配置したことを特徴とする半導体装置。

【請求項5】 半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を送送する通過配線を有する半導体装置において、前記通過配線のうち微小振幅信号を送送する通過配線を前記機能ブロック上に配線することを特徴とする半導体装置。

【請求項6】 半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を送送する通過配線を有する半導体装置において、前記微小信号線の側部に前記微小信号線に平行に配線され、一定の電位に保持された第1のシールド線と、前記微小信号線の上部に前記微小信号線に平行に前記第1のシールド線と重なり合うように配線され、一定の電位に保持された第2のシールド線とを有し、前記第1のシールド線又は前記第2のシールド線上部に前記通過配線を配置したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に係り、特に、微小信号配線を含む機能ブロック越しに通過

配線を形成し、信号を送送する構成の半導体装置に関する。近年、半導体装置は、多種多様化しており、これに伴って、各種機能に容易に対応できる装置が求められている。このような、半導体装置としてマスタスライス方式の半導体装置が開発されている。マスタスライス方式の半導体装置は、半導体基板に複数の基本セルを形成し、基本セル間を接続する配線により所望の機能を実現している。

【0002】このような方法では、特定の機能ブロックについては、ライブラリに予め配線パターンが格納されており、機能ブロックの半導体基板上での配置を決めるだけで、所望の機能を実現できるチップの設計が可能な構成とされている。このように、予め配線が設定され、特定の機能ブロックを構成するものをマクロと呼ぶ。このような方法により設計されるチップでは、機能ブロック（マクロ）間を接続しようとする場合に、接続しようとする機能ブロックに挟まれて配置された機能ブロックを飛び越えて配線を行う必要があった。

【0003】

【従来の技術】図10に従来の一例の構成図を示す。図10の半導体装置51は、半導体基板52上にSRAM（Static Random Access Memory）として機能する機能論理ブロックであるRAMマクロB41～B43が形成されている。RAMマクロB41～B43は、データベース53により接続され、RAMマクロB41～B43間で信号を送送することができる構成とされている。

【0004】隣接するRAMマクロB41、B42間のみでなく、RAMマクロB41からRAMマクロB42を飛び越えて、RAMマクロB43に信号を送送する場合がある。このとき、RAMマクロB41からRAMマクロB43に信号を送送する配線とRAMマクロB42の内部で信号を送送する配線とが近接して配線すると、RAMマクロB42の内部の微小振幅信号がRAMマクロB41からRAMマクロB43に伝送される大きい振幅を有する信号の影響を受け信号波形が変形する可能性がある。

【0005】このため、微小振幅信号が他の信号の影響を受けることがないように、RAMマクロB41からRAMマクロB43に信号を送送する配線がRAMマクロB42の内部の信号を送送する配線の直上に配置されないような設計がなされている。すなわち、RAMマクロB41からRAMマクロB43に信号を送送する配線をRAMマクロB42を迂回して配置していた。

【0006】しかし、このような方法では、機能論理ブロック間の間隔を大きくとる必要があるため、高集積化が困難となる。図11に従来の他の一例の構成図を示す。図11（A）は、平面図、（B）は、断面図を示す。

【0007】図11の半導体装置は、機能論理ブロック

3

B51上に配線63を可能にするため、機能論理ブロックB51の内部配線51の周辺にシールド膜62を形成したものがあつた(特開平4-253371号)。

【0008】

【発明が解決しようとする課題】しかるに、従来の図10に示す半導体装置では、内部に微小信号配線を含む機能論理ブロック上には配線を禁止しており、このような機能論理ブロックを飛び越えて配線を行う必要がある場合には、機能論理ブロックを迂回して配線を行っていたため、高集積化が困難であるとともに、配線が長くなるため、遅延時間が長くなり動作速度が遅くなる等の問題点が生じていた。

【0009】また、図11に示す半導体装置では、機能論理ブロック内の配線の周辺にシールド膜を形成する構成であるため、十分なシールド効果が得られず、信号波形が変形する恐れがあつた。本発明は、上記の点に鑑みてなされたもので、機能ブロックの内部信号に影響を与えることなく機能ブロック上に配線を行える半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の請求項1は、半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を伝送する通過配線を有する半導体装置において、前記微小信号配線と前記通過配線との間に所定の電位に保持されたシールド層を有することを特徴とする。

【0011】請求項1によれば、微小信号配線と通過配線との間に所定の電位に保持されたシールド層を設けることにより、微小信号配線と通過配線との間をシールドすることができるため、通過配線の信号により微小信号配線を伝送する信号波形が変形してしまうことがなくなる。

【0012】請求項2は、シールド層を微小信号配線及び通過配線とは異なる層として形成したことを特徴とする。請求項2によれば、シールド層を微小信号配線及び通過配線とは異なる層とすることにより、シールド層を機能ブロックに対してべたに形成できるため、微小信号配線と通過配線とのシールドを効果的に行える。

【0013】請求項3は、半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を伝送する通過配線を有する半導体装置において、前記通過配線を前記機能ブロック上を通過するように配線し、前記微小信号配線を前記通過配線の直下をさせて配線したことを特徴とする。

【0014】請求項3によれば、微小信号配線と通過配線とが近接することがないため、通過配線の信号により微小信号配線を伝送する信号波形が変形してしまうことがなくなる。請求項4は、半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を伝送する通過配線を有する半導体装置において、前記微小

4

信号配線は、微小信号を伝送する第1の微小信号配線と、前記第1の微小信号配線と近接して配線された第2の微小信号配線とを有し、該第1の微小信号配線と該第2の微小信号配線とに互いに相補的な信号を供給する構成とし、前記通過配線を伝送される信号が前記第1の微小信号配線及び前記第2の微小信号配線に対して同じ影響を与える経路に前記通過配線を配置したことを特徴とする。

【0015】請求項4によれば、微小信号配線を微小信号を伝送する第1の微小信号配線と、前記第1の微小信号配線と近接して配線された第2の微小信号配線とで構成し、第1の微小信号配線と第2の微小信号配線とに互いに相補的な信号を供給し、通過配線を伝送される信号が第1の微小信号配線及び第2の微小信号配線に対して同じ影響を与える経路に通過配線を配置することにより、通過配線が第1の微小信号配線及び第2の微小信号配線の信号に対して同等の波形の変形を与えるため、第1の微小信号配線の信号と第2の微小信号配線の信号との差を検出することにより通過配線の信号による影響を受けない信号が得られる。

【0016】請求項5は、半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を伝送する通過配線を有する半導体装置において、前記通過配線のうち微小振幅信号を伝送する通過配線を前記機能ブロック上に配線することを特徴とする。

【0017】請求項5によれば、通過配線のうち微小振幅信号を伝送する通過配線を機能ブロック上に配線することにより、通過配線が微小信号配線に与える影響を低減できる。請求項6は、半導体基板上に微小信号配線を含む機能ブロックと、該機能ブロック越しに信号を伝送する通過配線を有する半導体装置において、前記微小信号線の側部に前記微小信号線に平行に配線され、一定の電位に保持された第1のシールド線と、前記微小信号線の上部に前記微小信号線に平行に前記第1のシールド線と重なり合うように配線され、一定の電位に保持された第2のシールド線とを有し、前記第1のシールド線又は前記第2のシールド線上部に前記通過配線を配置したことを特徴とする。

【0018】請求項6によれば、第1のシールド線を微小信号線の側部に微小信号線に平行に配線し、第2のシールド線を微小信号線の上部に微小信号線に平行に前記第1のシールド線と重なり合うように配線することにより微小信号線の左右と上部をシールド線で囲むことができるため、シールド線の上部を通過する通過配線から微小信号配線をシールドすることができ、通過配線の信号により微小信号配線を伝送する信号波形が変形してしまうことがなくなる。

【0019】

【発明の実施の形態】図1に本発明の一実施例の概略構成図を示す。本実施例の半導体装置1は、3つのRAM

(Random Access Memory) マクロ B1~B3 が 1 チップの半導体基板 2 上に搭載された構成とされている。

【0020】RAM マクロ B1~B3 は、SRAM (Static Random Access Memory) を構成しており、半導体基板 2 上に順に配列されて形成される。RAM マクロ B1~B3 は、振幅が数 10 ミリボルトの微小振幅信号を送送する信号線が配線されたメモリセルアレイ 3、及び、センスアンプ 4 を含む構成とされている。

【0021】RAM マクロ B1 は、RAM マクロ B2 とデータバス 5 で接続されるとともに、RAM マクロ B2 を飛び越えて RAM マクロ B3 とデータバス 6 で接続されている。RAM マクロ B1 と RAM マクロ B3 とを接続するデータバス 6 は、RAM マクロ B2 の上を通過して配線されて RAM マクロ B3 に接続されている。

【0022】このとき、データバス 6 には、5 ボルト、3.3 ボルト、2.5 ボルト等の電源電圧レベル程度の振幅を有する信号が通過する。このため、データバス 6 を伝送される信号で RAM マクロ B2 を構成するセルアレイ 3、及び、センスアンプ 4 を伝送される微小信号が変動しないようにデータバス 6 と RAM マクロ B2 との間にシールド層 7 が形成されている。

【0023】図 2 に本発明の第 1 実施例の RAM マクロ B2 の構成図を示す。図 2 (A) は、RAM マクロ B2 の要部の平面図、(B) は、RAM マクロ B2 の要部の断面図を示す。RAM マクロ B2 は、半導体基板 2 上にセル等各種素子が形成され、その上に酸化膜や窒化膜などの絶縁層 8 が形成され、絶縁層 8 上にはビット線等の微小信号が伝送される微小信号線 9 が配線された構成とされている。なお、微小信号線 9 は、アルミ等よりなり、絶縁層 8 に形成されたコンタクトホール等を介して絶縁層 8 の下部に形成された素子などと接続される。

【0024】RAM マクロ B2 には、微小信号線 9 の上層にさらに酸化膜や窒化膜などの絶縁層 10 が形成され、その上層にシールド層 7 が形成されている。シールド層 7 は、アルミ、タングステン、銅等よりなり RAM マクロ B2 の上面の全面にわたって形成されている。シールド層 7 は、接地され、その電位は、接地レベルに保持されている。

【0025】シールド層 7 の上層には、酸化膜や窒化膜などの絶縁層 11 が形成され、絶縁層 11 の上層に RAM マクロ B1 と RAM マクロ B3 とを接続するデータバス 6 が形成される。データバス 6 は、アルミ、タングステン、銅等よりなる。データバス 6 の上部には、酸化膜や窒化膜などよりなる保護層 12 が形成される。

【0026】このように、本実施例によれば、RAM マクロ B1 と RAM マクロ B3 とに挟まれて配置された RAM マクロ B2 の上面に絶縁層 10 を介して例えば接地レベル等に保持されたシールド層 7 を形成し、シールド

層 7 を介して RAM マクロ B2 上を通過するデータバス 6 等の信号配線を形成することにより、RAM マクロ B2 上を通過するデータバス 6 に流れる信号の影響をシールド層 7 によりカットし RAM マクロ B2 に内蔵された微小信号線に影響を与えることがないため、RAM マクロ B2 の誤動作などを防止できる。

【0027】なお、シールド層 7 に付与される電位は、一定に保持される電位であれば良く、接地レベルの他に、例えば、電源レベルや基準電位 (ref レベル) であっても良い。また、RAM マクロ B1 と RAM マクロ B2 とを接続するデータバス 6 を RAM マクロ B1 と RAM マクロ B2 との間で直線的に配線できるため、データバス 6 を伝送される信号の遅延を必要最低限に押さえることができる。

【0028】さらに、データバス 6 が RAM マクロ B2 の側方を迂回しないため、半導体基板 2 上にデータバス 6 の配線のためのスペースを設ける必要がなく、半導体チップの小型化に寄与する。なお、本実施例では、RAM マクロ B2 の全面にシールド層 7 を形成しているが、データバス 6 の直下にだけシールド層を形成する構成としてもよい。

【0029】また、データバス 6、シールド層 7、微小信号線 9 の材質は、アルミ・アルミ・アルミ、または、タングステン・アルミ・アルミの組み合わせが好ましい。さらに、微小信号線 9 としては、RAM マクロ B2 が SRAM とするとビット線、データバス線、センスアンプ回路等がある。

【0030】図 3 に本発明の第 2 実施例の概略構成図を示す。同図中、図 1 と同一構成部分には、同一符号を付し、その説明は省略する。本実施例の半導体装置 21 は、RAM マクロ B1 と RAM マクロ B3 とに挟まれて配置された RAM マクロ B12 の構成が、第 1 実施例の半導体装置 1 とは異なる。本実施例の RAM マクロ B12 は、微小振幅信号が伝送される微小信号線が配線されたセルアレイ 23、センスアンプ 24 を分割して配置し、データバス 6 がセルアレイ 23、及び、センスアンプ 24 上を通過しない構成とされている。なお、このとき、データバス 6 の下部の領域 25 には、デコーダ、入出力回路などの微小信号を扱わない回路を配置し、RAM マクロ B12 の全体のサイズが大きくなるように構成されている。

【0031】また、セルアレイ 23 とセンスアンプ 24 との間には、シールド部 26 が形成され、データバス 6 とセンスアンプ 23、センスアンプ 24 との間をシールドしている。図 4 に本発明の第 2 実施例の RAM マクロ B12 の要部の構成図を示す。図 4 (A) は、RAM マクロ B12 の要部の平面図、(B) は、RAM マクロ B12 の要部の断面図を示す。同図中、同一構成部分には、同一符号を付し、その説明は省略する。

【0032】RAM マクロ B12 は、セルアレイ 23、

センスアンプ24が半導体基板2上の領域27、28に分割して形成されている。RAMマクロB12は、半導体基板2上にセル等各種素子が形成され、その上に酸化膜や窒化膜などの絶縁層8が形成され、絶縁層8上にはビット線等の微小信号が伝送される微小信号線9が配線される。微小信号線9は、セルアレイ23、センスアンプ24の形成される領域27、28上に形成される。

【0033】微小信号線9のセルアレイ23、センスアンプ24の形成された領域27、28とデータバス6が形成される領域25との間には、シールド部26が形成される。シールド部26は、アルミ、タングステン、銅等より構成され、接地されて、接地レベルや電源レベル、基準レベルに保持されている。

【0034】このように、本実施例によれば、RAMマクロB1とRAMマクロB3とに挟まれて配置されたRAMマクロB12の微小信号を扱うセルアレイ23、センスアンプ24をデータバス6が通過する経路をさせて配置し、データバス6の下部には、微小振幅信号を扱わないデコーダ、入出力回路等のブロックを配置することにより微小信号を扱うセルアレイ23、センスアンプ24をデータバス6と離して配置できるため、セルアレイ23、センスアンプ24がデータバス6を伝送される信号の影響を受けにくくなり、RAMマクロB12の誤動作などを防止できる。

【0035】また、RAMマクロB1とRAMマクロB2とを接続するデータバス6をRAMマクロB1とRAMマクロB2との間で直線的に配線できるため、データバス6を伝送される信号の遅延を必要最低限に押さえることができる。さらに、RAMマクロB12は、内部ブロックの配置が換わるだけで、占有する面積の増加などなし上記構成をに実現できる。このため、第1実施例と同様に半導体基板2上にデータバス6の配線のためのスペースを設ける必要がなくなることから、半導体チップの小型化に寄与する。

【0036】図5に本発明の第3実施例の概略構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。本実施例の半導体装置31は、RAMマクロB1とRAMマクロB3とに挟まれて配置されたRAMマクロB22の構成が、第1実施例の半導体装置1とは異なる。RAMマクロB22は、セルアレイ32の上部にRAMマクロB1とRAMマクロB3とを接続するデータバス6が配置される。

【0037】このとき、データバス6とセルアレイ32で微小振幅信号を伝送するデータ線D1～D2Nとが直交するように構成されている。セルアレイ32では、一般にデータ線は2本で一組にとされており対をなすデータ線には、互いに相補的な信号が伝送される構成とされている。すなわち、1対のデータ線D1、D2には、データ線D1がハイレベルとなると、データ線D2はローレベルとなり、データ線D1がローレベルとなると、デ

ータ線D2がハイレベルとなる信号が伝送される。

【0038】図6に本発明の第3実施例のRAMマクロB22の要部の構成図を示す。図6(A)は、RAMマクロB22の要部の平面図、(B)は、RAMマクロB22の要部の断面図を示す。同図中、同一構成部分には、同一符号を付し、その説明は省略する。

【0039】本実施例のRAMマクロB22では、データバス6が微小振幅信号線9に相当するセルアレイ32のデータ線D1～DNに直交して配線され、データバス6のデータ線D1～DNへの影響が対をなすデータ線間で互いに均等になるように配置してある。

【0040】図7に本発明の第3実施例のRAMマクロB22の要部の動作波形図を示す。図7においてaは、データバス6を伝送される信号波形、bは、データ線D1を伝送される信号波形、cは、データ線D1と対をなすデータ線D2を伝送される信号波形図を示す。

【0041】図7においてデータバス6を伝送される信号aが破線で囲んだ部分で変動すると、データバス6に直交して配線されたデータ線D1、D2ともにデータバス6から同様の影響に破線で囲んだような影響を受ける。しかしながら、RAMマクロB22のセンスアンプ33では、対をなすデータ線間の電位差よりハイレベル、又は、ローレベルの検出を行っているため、対をなすデータ線D1、D2の信号が同等の影響を受けても対をなすデータ線間の電位差に影響がでることがない。したがって、RAMマクロB22上にデータバス6を配線してもRAMマクロB22の動作に影響を与えずに済む。

【0042】なお、RAMマクロB22では、センスアンプ33は、データバス6からは、外れた位置に配置され、データバス6下部には、データデコーダ34等の微小振幅信号を扱わないブロックが配置される。以上、本実施例によれば、RAMマクロB1とRAMマクロB3とに挟まれて配置されたRAMマクロB22上にRAMマクロB1とRAMマクロB3とを接続するデータバス6を配線することができるため、RAMマクロB1とRAMマクロB2とを接続するデータバス6をRAMマクロB1とRAMマクロB2との間で直線的に配線できるため、データバス6を伝送される信号の遅延を必要最低限に押さえることができる。

【0043】また、シールド層などを形成する必要がないため、半導体チップの製造工程を増加することなく実現できる。図8に本発明の第4実施例の概略構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

【0044】本実施例の半導体装置41では、RAMマクロB31がRAMマクロB32、RAMマクロB33、RAMマクロB34、RAMマクロB35に囲まれた構成とされており、RAMマクロB31の上部にRAMマクロB32とRAMマクロB33とを接続するデー

タブ42、RAMマクロB34とRAMマクロB35とを接続するデータバス43が直交して配線されている。

【0045】図9に本発明の第4実施例のRAMマクロB31の要部の構成図を示す。図4(A)は、RAMマクロB31の要部の平面図、(B)は、RAMマクロB31の要部の断面図を示す。同図中、同一構成部分には、同一符号を付し、その説明は省略する。

【0046】RAMマクロB31は、SRAM等を構成しており、半導体基板2上にセル等各種素子が形成され、その上に酸化膜や窒化膜などの絶縁層8が形成され、絶縁層8上にはワード信号が伝送されるワード線WLが配線される。ワード線WLの上部には、絶縁層44が形成され、絶縁層44の上部に微小信号線であるビット線BLが配線される。ビット線BLと同じ層にはビット線BLと平行してビット線BLを左右からシールドするための第1のシールド線SL1が形成されている。

【0047】ビット線BL及び第1のシールド線SL1の上部には絶縁層45が形成され、絶縁層45の上部にはRAMマクロB31上を通過する通過配線であり、RAMマクロB32とRAMマクロB33とを接続するデータバス42が配線される。データバス42は下層の第1のシールド線SL1上部に平行に配線されている。データバス42と同じ層には下層のビット線BL上部にビット線BLと平行にビット線BL上部をシールドするための第2のシールド線SL2が配線されている。第2のシールド線SL2は、ビット線BLの配線幅より大きい幅を有し、ビット線BLの左右に形成された第1のシールド線SL1と重り合うように配線される。

【0048】なお、第1及び第2のシールド層SL1、SL2は、アルミ、タングステン、銅等より構成され、接地レベルや電源レベル、基準レベルに保持されている。データバス42及び第2のシールド線SL2の上部には絶縁膜46が形成され、絶縁膜46の上部にはRAMマクロB31上を通過する通過配線であり、RAMマクロB34とRAMマクロB35とを接続するデータバス43が配線される。また、データバス43の上部には、保護層47が形成される。

【0049】本実施例では、第1及び第2のシールド線SL1、SL2が小振幅信号が供給されるビット線BLと平行に、かつ、ビット線BLの左右と上部に互いに重なり合うように配線され、一定の電位に保持されており、この第1及び第2のシールド線SL1、SL2によりビット線BLの上方に配線されるデータバス42、43からビット線BLをシールドし、保護している。

【0050】なお、本実施例によれば、第1及び第2のシールド線SL1、SL2は、ビット線BL、データバス42と同一の層に形成されており、ビット線BL、データバス42の形成時に同時に形成でき、専用の工程が不要となる。また、データバス43に関しては、第1及

び第2のシールド線SL1、SL2の配線方向の影響を受けないため、RAMマクロB31上を自由に配線できる。

【0051】このように、本実施例によれば、RAMマクロB31の微小振幅信号をビット線BL上にデータバス42、43を通過させることができ、データバス42、43を直線的に配線できるため、データバス42、43を伝送される信号の遅延を必要最低限に押さえることができる。

【0052】なお、上述の第1～第4実施例では、機能ブロックとしてRAMマクロを適応したものについて説明したが、機能ブロックとしては、RAMマクロに限ることはなく、レジスタ、MPU、乗算器など他の機能を有するブロックでもよい。また、ブロック上を通過する通過配線もデータバスに限られるものではなく、他の信号線であっても良い。

【0053】

【発明の効果】上述の如く、本発明の請求項1によれば、微小信号配線と通過配線との間に所定の電位に保持されたシールド層を設けることにより、微小信号配線と通過配線との間をシールドすることができるため、通過配線の信号により微小信号配線を伝送する信号波形が変形してしまうことがなくなり、したがって、機能ブロック上に通過配線を配置でき、信号経路を短縮できるため、信号の遅延時間を短縮できるとともに、専用の配線スペースが不要となり、装置を小型化することができる等の特長を有する。

【0054】請求項2によれば、シールド層を微小信号配線及び通過配線とは異なる層とすることにより、シールド層を機能ブロックに対してべたに形成できるため、微小信号配線と通過配線とのシールドを効果的に行える等の特長を有する。請求項3によれば、通過配線が機能ブロック上通過しても微小信号配線と通過配線とが近接することがないため、通過配線の信号により微小信号配線を伝送する信号波形が変形してしまうことがなくなり、したがって、機能ブロック上に通過配線を配置でき、信号経路を短縮できるため、信号の遅延時間を短縮できるとともに、専用の配線スペースが不要となり、装置を小型化することができる等の特長を有する。

【0055】請求項4によれば、微小信号配線を微小信号を伝送する第1の微小信号配線と、前記第1の微小信号配線と近接して配線された第2の微小信号配線とで構成し、第1の微小信号配線と第2の微小信号配線とに互いに相補的な信号を供給し、通過配線を伝送される信号が第1の微小信号配線及び第2の微小信号配線に対して同じ影響を与える経路に通過配線を配置することにより、通過配線が第1の微小信号配線及び第2の微小信号配線の信号に対して同等の波形の変形を与えるため、第1の微小信号配線の信号と第2の微小信号配線の信号との差を検出することにより通過配線の信号による影響を

11

受けない信号が得られ、したがって、機能ブロック上に通過配線を配置でき、信号経路を短縮できるため、信号の遅延時間を短縮できるとともに、専用の配線スペースが不要となり、装置を小型化することができる等の特長を有する。

【0056】請求項5によれば、通過配線のうち微小振幅信号を伝送する通過配線を機能ブロック上に配線することにより、通過配線が微小信号配線に与える影響を低減できるため、機能ブロックが通過配線の信号の影響を受けにくくなり、したがって、機能ブロック上に通過配線を配置でき、信号経路を短縮できるため、信号の遅延時間を短縮できるとともに、専用の配線スペースが不要となり、装置を小型化することができる等の特長を有する。

【0057】請求項6によれば、第1のシールド線を微小信号線の側部に微小信号線に平行に配線し、第2のシールド線を微小信号線の上部に微小信号線に平行に前記第1のシールド線と重なり合うように配線することにより微小信号線の左右と上部をシールド線で囲むことができるため、シールド線の上部を通過する通過配線から微小信号配線をシールドすることができ等の特長を有する。

【図面の簡単な説明】

【図1】本発明の第1実施例の概略構成図である。

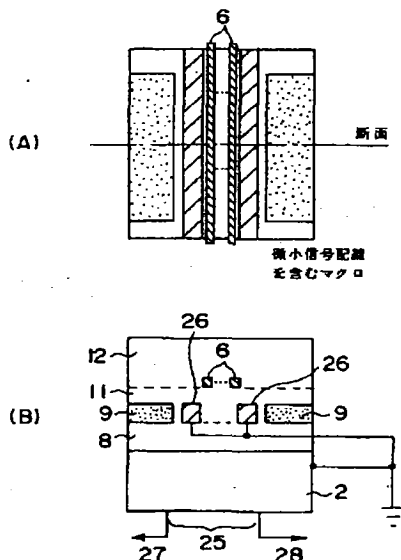
【図2】本発明の第1実施例の要部の構成図である。

【図3】本発明の第2実施例の概略構成図である。

【図4】本発明の第2実施例の要部の構成図である。

【図4】

本発明の第2実施例の要部の構成図



12

【図5】本発明の第3実施例の概略構成図である。

【図6】本発明の第3実施例の要部の構成図である。

【図7】本発明の第3実施例の要部の動作説明図である。

【図8】本発明の第4実施例の概略構成図である。

【図9】本発明の第4実施例の要部の構成図である。

【図10】従来の一例の構成図である。

【図11】従来他の一例の構成図である。

【符号の説明】

10 1、22、31、41 半導体装置

2 半導体基板

3、23、32 セルアレイ

4、24、33 センスアンプ

5、6、43 データバス

7 シールド層

8、10、11 絶縁層

9 微小振幅信号線

12 保護層

25、27、28 領域

20 26 シールド部

WL ワード線

BL ビット線

SL1 第1のシールド線

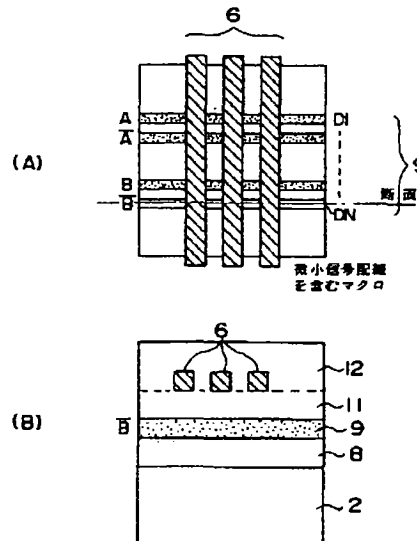
SL2 第2のシールド線

B1、B2、B3、B12、B22、B31~B35、

B41~B43 RAMマクロ

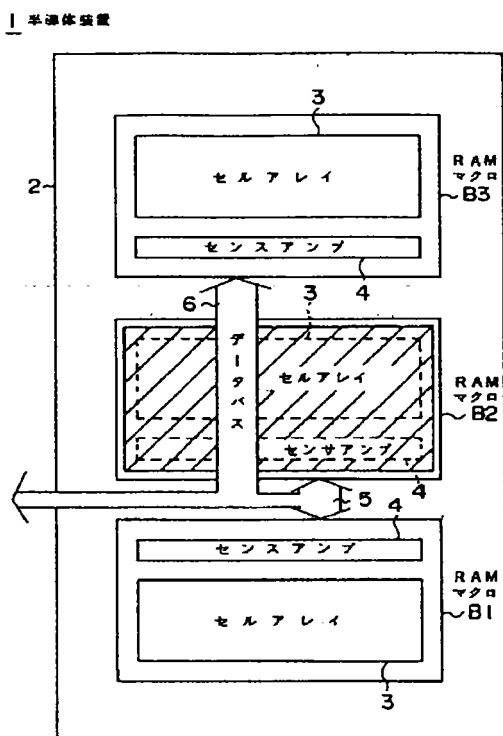
【図6】

本発明の第3実施例の要部の構成図



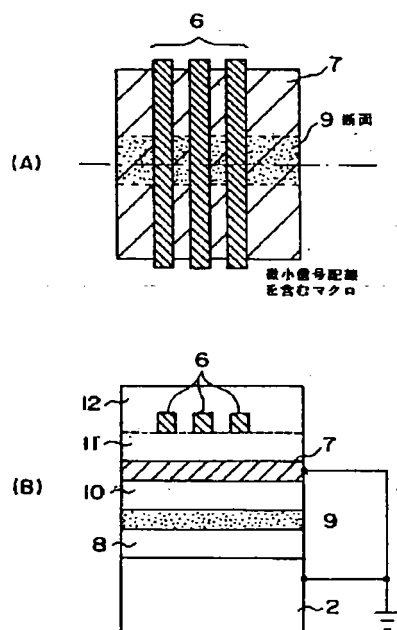
【図1】

本発明の第1実施例の概略構成図



【図2】

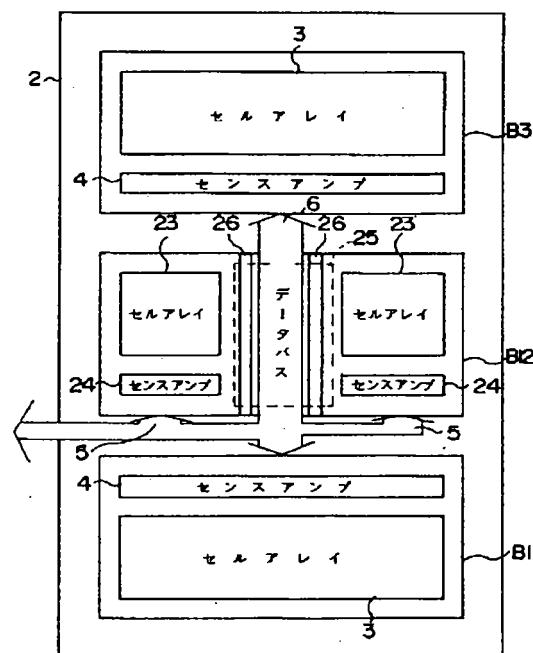
本発明の第1実施例の要部の構成図



【図3】

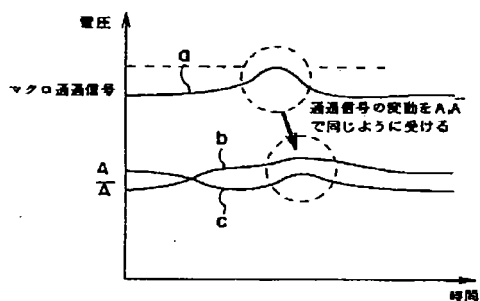
本発明の第2実施例の概略構成図

22 半導体装置



【図7】

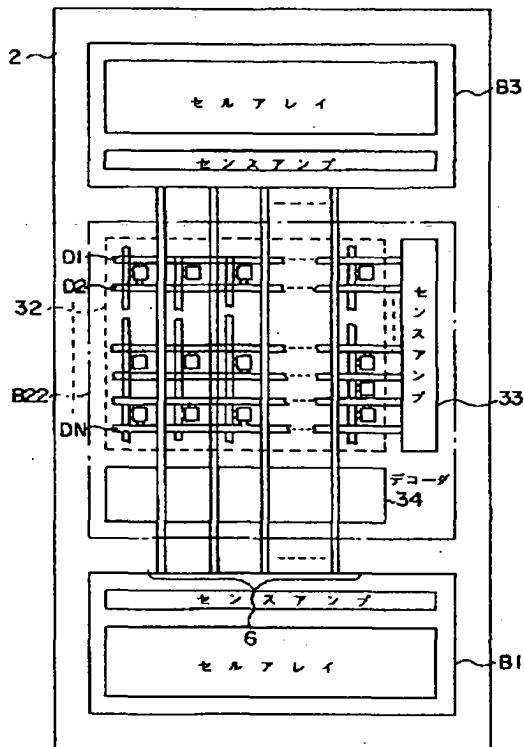
本発明の第3実施例の要部の動作波形図



【図5】

本発明の第3実施例の概略構成図

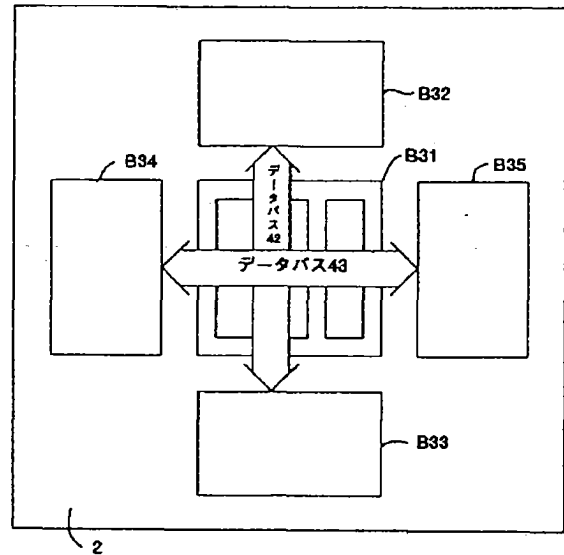
31 半導体装置



【図8】

本発明の第4実施例の概略構成図

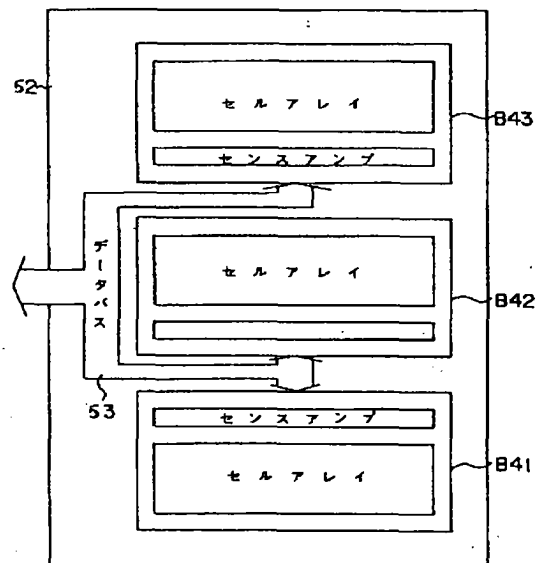
41 半導体装置



【図10】

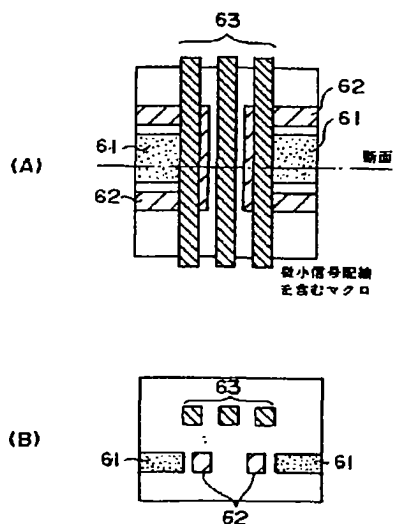
従来の一例の構成図

51 半導体装置



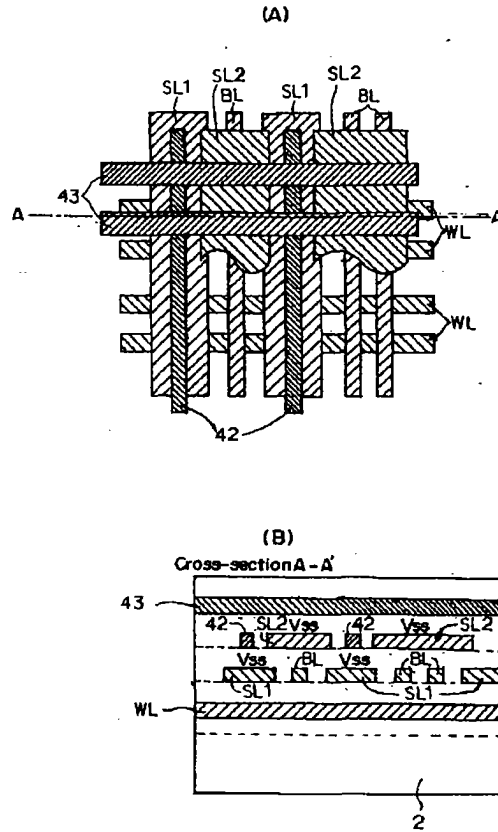
【図11】

従来の他の一例の構成図



【図9】

本発明の第4実施例の要部の 成図



フロントページの続き

(51) Int. Cl.⁶

H01L 27/10

識別記号

491

庁内整理番号

F I

技術表示箇所